

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-350992

(43) Date of publication of application : 22.12.1994

H04N 7/133
G06F 15/66
H03M 7/30
H04N 1/41

H04N 7/133

G06F 15/66

H03M 7/30

H04N 1/41

(71)Applicant : SONY CORP

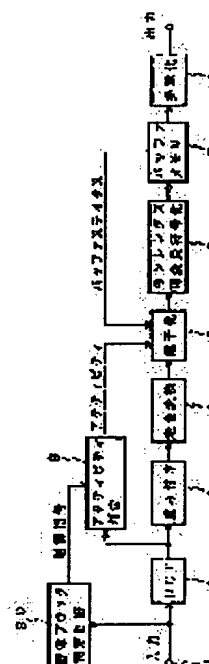
(72)Inventor: HASHINO TSUKASA

(54) DATA COMPRESSION CIRCUIT

(57)Abstract:

PURPOSE: To improve the picture quality degradation of pictures in which an edge part and a flat part coexist by controlling activity so as to be small by activity control signals and making a quantization step width small.

CONSTITUTION: DCT coefficients from a DCT(discrete cosine transformation) circuit 2 are supplied to an activity judging circuit 9, a maximum AC coefficient within a unit DCT transformation block is calculated and the activity in the DCT transformation block is obtained. Also, input picture information is supplied to a picture block judging circuit 20, a spatial gradient in a picture block is obtained and the activity is controlled corresponding to the size. Since the spatial gradient indicates the sharpness of the edge part, the pictures in which the sharp edge part and the flat part exist can be recognized when the spatial gradient is large. In such time, the activity is controlled so as to be small, the quantization step width becomes narrow, the picture block is finely quantized and the picture quality degradation accompanying coarse quantization can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-350992

(43)公開日 平成6年(1994)12月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/133		Z		
G 0 6 F 15/66	3 3 0	H 8420-5L		
H 0 3 M 7/30		A 8522-5J		
H 0 4 N 1/41		B 9070-5C		

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平5-137549

(22)出願日 平成5年(1993)6月8日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 橋野 司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 山口 邦夫 (外1名)

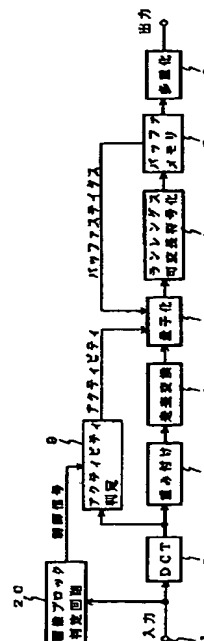
(54)【発明の名称】 データ圧縮回路

(57)【要約】

【目的】エッジ部と平坦部が混在する画像に対する画質劣化を改善する。

【構成】単位ブロックごとに入力信号をDCT変換するDCT変換回路2と、走査変換されたこのDCT係数の量子化回路5と、量子化後のDCT係数を一定レートで出力するバッファメモリ7と、DCT変換回路2より出力されたDCT係数よりDCT係数変換ブロックのアクティビティを算出し、量子化回路5に対する量子化ステップ幅制御信号を出力するアクティビティ判定回路9と、エッジ部と平坦部が混在する画像を判定し、その結果でアクティビティを制御する画像ブロック判定回路20とで構成される。エッジ部と平坦部とが混在する画像のときにはアクティビティ制御信号でアクティビティが小さくなるように制御して、そのときの量子化ステップ幅を細かくする。これによって粗い量子化によって発生する画質劣化を大幅に改善できる。

データ圧縮回路10 (本発明)



【特許請求の範囲】

【請求項1】 DCT変換を使用したデータ圧縮回路において、
DCT係数を量子化回路にて量子化するに際し、その量子化ステップ幅が少なくとも入力画像のアクティビティの大きさに基づいて制御されると共に、
入力画像の画像ブロック内容に基づいて上記アクティビティが制御されるようになされたことを特徴とするデータ圧縮回路。

【請求項2】 画像ブロックの空間勾配が大きいところではアクティビティを小さくして量子化ステップ幅が狭くなるようにしたことを特徴とする請求項1記載のデータ圧縮回路。

【請求項3】 DCT変換を使用したデータ圧縮回路において、
単位ブロックごとに入力信号をDCT変換するDCT変換回路と、
視覚特性に応じて上記DCT係数に重み付けする第1の重み付け回路と、
重み付けされたこのDCT係数を量子化する量子化回路と、
量子化されたDCT係数を一時的に蓄積して一定レートで出力するバッファメモリと、
上記DCT変換回路より出力されたDCT係数に対するアクティビティを算出し、その値を量子化ステップ幅制御信号として上記量子化回路に供給するアクティビティ判定回路と、
入力画像情報が供給され、その単位画像ブロック内の空間勾配を検出して上記アクティビティを制御するための画像ブロック判定回路とで構成されたことを特徴とするデータ圧縮回路。

【請求項4】 上記単位画像ブロック内の空間勾配を検出するフィルタとしてラプラシアンフィルタが使用されたことを特徴とする請求項3記載のデータ圧縮回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、DCT変換を利用して画像データなどを圧縮する場合に適用して好適なデータ圧縮回路、特にエッジ部と平坦部とが混在するような入力画像に対する画質劣化を改善できるデータ圧縮回路に関する。

【0002】

【従来の技術】画像データのデータ圧縮技術としてDCT変換（離散的コサイン変換）技術を用いたデータ圧縮回路が知られている。このデータ圧縮回路ではDCT変換されたDCT係数に対して量子化を施して一定レートの伝送データ（圧縮データ）に変換するが、このとき圧縮データを一定レートに変換するためのバッファメモリのデータ占有量や、入力画像の単位画像ブロック内の絵柄に対応したアクティビティの大きさなどを考慮しながら

量子化ステップ幅を適応的に制御（変更）している。

【0003】図4はその従来例を示す系統図であって、このデータ圧縮回路10では端子1に供給された入力画像データがDCT変換回路2で単位ブロック（通常8画素×8ラインの画像ブロック）内でのDCT変換が行なわれる。DCT変換されたDCT係数は重み付け回路3で人間の視覚特性に応じた重み付けをするため特定の重み係数がかけられる。このとき入力画像の周波数特性が高域になる程重み係数が小さくなるような特性が付与される。重み係数の領域はDCT変換ブロックと同じ大きさ（8×8）である。

【0004】人間の視覚特性に応じた重み係数が付与されたDCT係数は走査変換回路4で二次元のDCT係数が一次元のDCT係数に変換される。一次元化されたDCT係数は量子化回路5で量子化されるが、このときの量子化ステップ幅は後述するようにバッファメモリ7のデータ占有量やDCT変換ブロック内のアクティビティを考慮して適応的に制御される。これは最終的には最良の状態で入力画像をデータ圧縮するためと、バッファメモリ7がオーバーフローしないようにするためである。量子化したあとDCT係数を一次元化してもよい。

【0005】量子化されたDCT係数はランレングス・可変長符号化回路6においてランレングスを基準にして可変長の符号化が施される。符号化されたDCT係数（圧縮データ）はバッファメモリ7で一次的に蓄えられ、一定レートとなされてから出力される。

【0006】多重化回路8では符号化されたDCT係数にステータス情報やエラー訂正符号などが付加されて最終的な伝送データとなされ、この伝送データは別のメモリ（図示はしない）に蓄えられたり、あるいはそのままデータ伝送処理系（図示はしない）に送られる。

【0007】量子化回路5はバッファメモリ7のデータ占有量に応じてその量子化ステップ幅が制御される他、アクティビティ指標に応じて制御される。そのため、DCT変換回路2より出力されたDCT係数はアクティビティ指標抽出処理を伴うアクティビティ判定回路9に供給されてまずDCT変換ブロック（DCT変換画像ブロック）内のアクティビティ指標が抽出される。

【0008】アクティビティ指標としてはDCT変換ブロック内の最大AC係数やAC係数の総和などが用いられるが、本例では最大AC係数のみによってアクティビティの大きさを判定している。

【0009】図5のようにバッファメモリ7から得られるバッファステータス情報に基づいてデータ占有量が大きいほど、曲線L A→L B→L Cのように量子化回路5のステップ幅が大きくなるような量子化曲線が選択されて量子化されるデータ量が少なくなるようにしている。図5ではバッファステータス情報によって量子化曲線が3段階に選択できるようになっている。

【0010】量子化ステップ幅はさらにアクティビティ

指標の大きさに応じて制御される。アクティビティはAC係数のパワーが大きいほど、つまり最大AC係数が大きいほどアクティビティが大きくなる。DCT係数のパワーが大きいときは人間の視覚特性も鈍くなるので、量子化するステップ幅を大きくしても画質にはあまり影響されない。そのため、このようなときは同じバッファステータス情報であっても量子化ステップ幅を大きくした状態でDCT係数が量子化される。図5はアクティビティの大きさに応じて量子化ステップ幅が4段階に制御される例を示す。

【0011】

【発明が解決しようとする課題】ところで、アクティビティ指標としてアクティビティの大きさを基準にして制御する場合には、アクティビティが大きい画像ブロックでは常に量子化ステップ幅を大きくするような量子化制御が行なわれるため次のような問題を惹起する。

【0012】例えば、図6に示すような縦縞模様の絵柄で、エッジ部と平坦部とが混在するような画像ブロックでは最大AC係数が大きいので、そのときのアクティビティは大きいものと判定される結果、この画像ブロックでの量子化ステップ幅は広くなるように制御されてしまう。

【0013】しかし、このような画像ブロックでは本来細かく量子化しないと画質劣化が目立ってしまう。特に、平坦部の画像の輝度がなだらかに変化しているような画像ブロックでは粗い量子化が行なわれるため疑似輪郭が発生し、画質が著しく劣化してしまう。

【0014】そこで、この発明ではこのような従来の課題を解決したものであって、特にエッジ部と平坦部とが混在するような入力画像のときは細かな量子化が行なわれるようにアクティビティを制御できるデータ圧縮回路を提案するものである。

【0015】

【課題を解決するための手段】上述の課題を解決するため、請求項1に記載した発明においては、DCT変換を使用したデータ圧縮回路において、DCT係数を量子化回路にて量子化するに際し、その量子化ステップ幅が少なくとも入力画像のアクティビティの大きさに基づいて制御されると共に、入力画像の画像ブロック内容に基づいて上記アクティビティが制御されるようになされたことを特徴とするものである。

【0016】請求項3に記載した発明においては、DCT変換を使用したデータ圧縮回路において、単位ブロックごとに入力信号をDCT変換するDCT変換回路と、視覚特性に応じて上記DCT係数に重み付けする第1の重み付け回路と、重み付けされたこのDCT係数を量子化する量子化回路と、量子化されたDCT係数を一時的に蓄積して一定レートで出力するバッファメモリと、上記DCT変換回路より出力されたDCT係数に対するアクティビティを算出し、その値を量子化ステップ幅制御

信号として上記量子化回路に供給するアクティビティ判定回路と、入力画像情報が供給され、その単位画像ブロック内の空間勾配を検出して上記アクティビティを制御するための画像ブロック判定回路とで構成されたことを特徴とするものである。

【0017】

【作用】請求項1に係る発明について図1および図3を参照して説明すると、DCT変換回路2より出力されたDCT係数はアクティビティ判定回路9に供給されてこの例では単位DCT変換ブロック内の最大AC係数が算出されてそのDCT変換ブロック内でのアクティビティが求められる。

【0018】入力画像情報はさらに画像ブロック判定回路20に供給されて画像ブロック内の空間勾配が求められ、その大きさに応じてアクティビティが制御される。画像ブロック内の空間勾配はエッジ部の鋭さを表わしているから、空間勾配が大きいときは鋭いエッジ部と平坦部とが存在する画像であることが判る。

【0019】このようなときはアクティビティが小さくなるように制御される。これによって量子化ステップ幅が狭くなり、その画像ブロックは細かく量子化されることになって、粗く量子化することに伴う画質劣化を改善できる。

【0020】

【実施例】続いて、この発明に係るデータ圧縮回路の一例を画像データ圧縮に適用した場合につき、図面を参照して詳細に説明する。図4と対応する部分には同一の符号を付し、その詳細な説明は省略する。

【0021】図1にこの発明の一例を示すように、この発明に係るデータ圧縮回路10においても、端子1に入力した画像信号がDCT変換回路2で単位ブロックごとにDCT変換され、変換されたDCT係数が重み付け回路3と走査変換回路4を経て量子化回路5に導かれて量子化され、その量子化ステップ幅はバッファメモリ7のバッファステータス情報やアクティビティ判定回路9からのアクティビティに基づいて適応的に制御される構成は従来と同様である。

【0022】この発明ではDCT変換回路2に入力する入力画像情報が画像ブロック判定回路20に供給されてDCT変換しようとする画像ブロック内の空間勾配が算出される。

【0023】図6に示すような絵柄はエッジ部と平坦部とが混在した画像であるので、この画像ブロックの空間勾配は大きくなる、つまりそのエッジ部の変化が鋭くなる。検出された空間勾配の大きさを示す制御信号（アクティビティ制御信号）でアクティビティが制御される。

【0024】図2はこの画像ブロック判定回路20の具体例を示す。端子21に供給された入力画像情報（画像データ）はメモリ22に単位画像ブロックごとに蓄積される。この単位画像ブロックは上述したDCT変換プロ

ックと同じ大きさに選んである。

【0025】メモリ22に蓄積された画像ブロックの画像データはフィルタ23に供給されて注目画素とその周囲の画素の画像データからその画像ブロック内での空間勾配が求められる。

【0026】画像ブロックの空間勾配を検出するためフィルタ23としては微分フィルタが使用される。この例では微分フィルタ23として図3に示すような乗算係数値を有するラプラシアンフィルタが使用される。フィルタブロックの大きさ(タップ数)は(3×3)であるが、この大きさは任意である。

【0027】このフィルタブロックの大きさに対応してメモリ22からは注目画素を含む9個の画素の画像データが順次読み出されるようにアドレスカウンタ24が制御される。

【0028】フィルタ23より得られる微分値の大きさは空間勾配、すなわちエッジ部の鋭さを表わしているもので、この微分値が比較回路25に供給されて端子26より供給される所定の閾値 S_{th} と比較される。

【0029】この例では微分値が閾値 S_{th} より小さいときに得られる比較出力でカウンタ27がインクリメントされる。つまり、実施例では画像ブロック内の平坦部の画素数をカウントするように構成されている。これとは逆にエッジ部をカウントするように比較回路25を構成してもよい。

【0030】カウンタ27の出力は正規化回路28で正規化される。正規化されたカウンタ値は以下になる。

【0031】正規化カウンタ値＝カウンタ値(平坦部の画素数)／画像ブロック内の画素数

この正規化カウンタ値は平坦部の画素数に対応するものであるから、最終的にアクティビティに対するアクティビティ制御信号として使用するためこの例では、アクティビティ制御信号＝1.0－(正規化カウンタ値)

のように変換されたアクティビティ制御信号に基づいてアクティビティが制御される。

【0032】アクティビティ判定回路9ではDCT係数より算出された最大AC係数にこのアクティビティ制御信号が乗算され、その値によってアクティビティ指標として量子化回路9が制御される。このためアクティビティは次のようになる。

【0033】アクティビティ＝(アクティビティ制御信号)×(最大AC係数)

したがって、エッジ部と平坦部とが混在する画像で単位画像ブロック内での平坦部が多いときには、アクティビティ制御信号が小さな値を取ることになるので、このときのアクティビティは最大AC係数値そのものを使用す

る場合(従来例)より小さくなる。その結果、このような画像ブロックが入力したときには同じ量子化曲線であっても量子化ステップ幅が細くなるように制御されるため、その部分での画質劣化を改善できる。例えば、図5に示す曲線LAであっても、LA4側よりも量子化ステップ幅の狭いLA1側のうちの適切な量子化ステップ幅が選択される。

【0034】この発明で取り扱うことのできる入力信号は、画像情報であってそのデータ量を圧縮して伝送したり、蓄積したりするものであればよいので、この発明はあらゆるデータ圧縮系に適用できる。

【0035】

【発明の効果】以上のように、この発明に係るデータ圧縮回路ではDCT変換ブロック内のアクティビティだけでなく、入力画像ブロックのエッジ部と平坦部との関係も考慮してアクティビティを算出するようにしたものである。

【0036】これによれば、エッジ部と平坦部とが混在するような画像の場合でもアクティビティを小さくして量子化ステップ幅が細くなるように制御できるから、このような絵柄での画質劣化を大幅に改善できる特徴を有する。

【0037】したがって、この発明は各種映像機器で作成された画像信号を圧縮して伝送するような場合に適用して極めて好適である。

【図面の簡単な説明】

【図1】この発明に係るデータ圧縮回路の一例を示す系統図である。

【図2】画像ブロック判定回路の具体例を示す系統図である。

【図3】微分フィルタの一例を示す図である。

【図4】従来のデータ圧縮回路の系統図である。

【図5】量子化ステップ幅の制御例を示す特性図である。

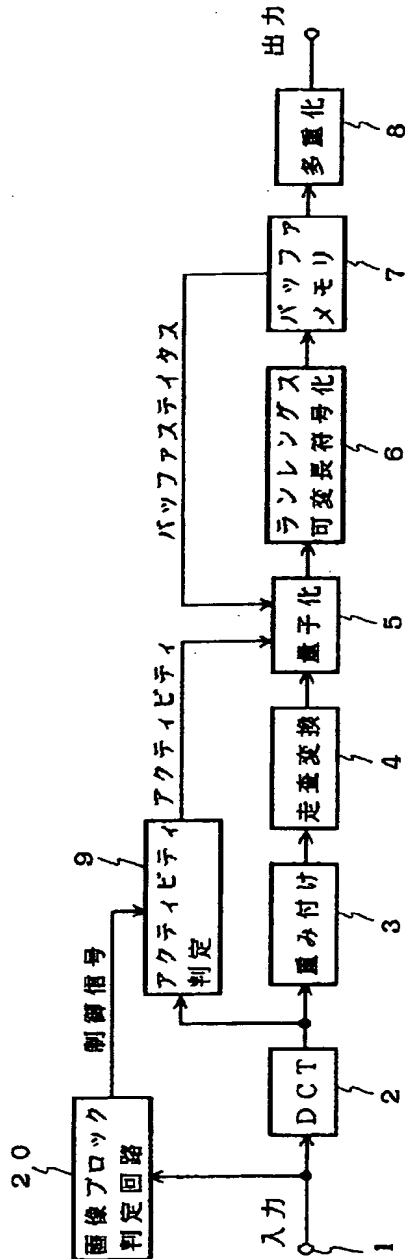
【図6】エッジ部と平坦部とが混在する画像例を示す図である。

【符号の説明】

- 2 DCT変換回路
- 3 重み付け回路
- 4 走査変換回路
- 5 量子化回路
- 6 ランレングス・可変長符号化回路
- 7 バッファメモリ
- 8 多重化回路
- 9 アクティビティ判定回路
- 10 データ圧縮回路
- 20 画像ブロック判定回路

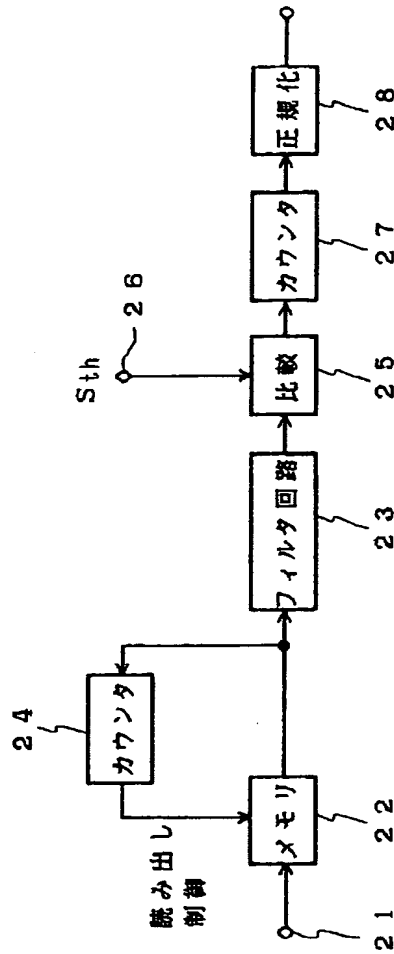
【図1】

データ圧縮回路 10 (本発明)



【図2】

画像ブロック判定回路 20



【図3】

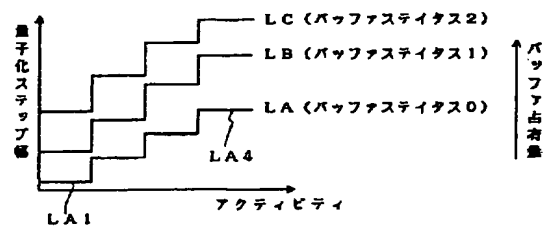
ラプラシアンフィルタの例

-1.0	-1.0	-1.0
-1.0	8.0	-1.0
-1.0	-1.0	-1.0

注目画素

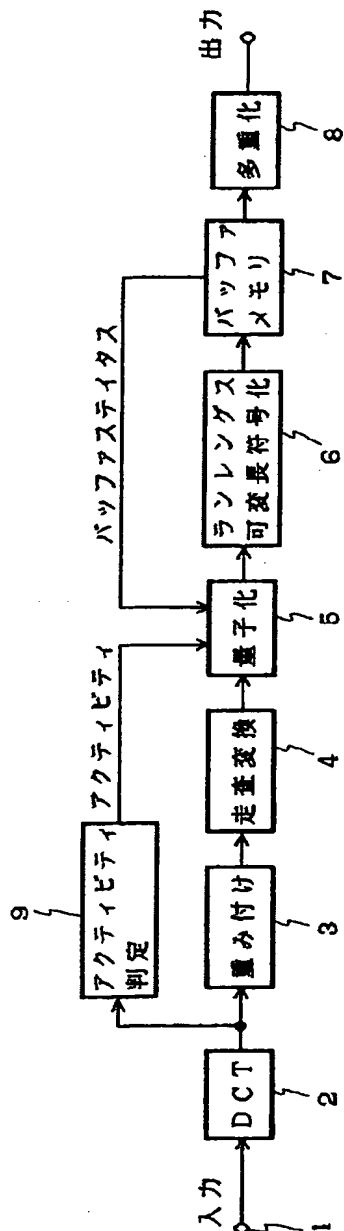
【図5】

量子化ステップ幅の例



【図4】

データ圧縮回路 10 (従来例)



【図6】

エッジ部と平坦部が存在する種々画像ブロックの一例

